

# Конфигурируемые решения компании Lattice Semiconductor для проектирования подсистем управления электропитанием

Дмитрий ЛЕШЕВ  
ldv@efo.ru  
Роман ЗОЛУХО  
roman@efo.ru

**В процессе создания современных цифровых устройств разработчикам приходится уделять все больше внимания построению подсистем управления электропитанием. В статье представлены решения компании Lattice Semiconductor, позволяющие упростить процесс разработки и существенно сократить время проектирования подсистем управления электропитанием.**

Современные тенденции мирового рынка предъявляют высокие требования к производительности, быстродействию, энергопотреблению, размерам и стоимости электронных систем. Для удовлетворения этих требований многие производители используют сложные программируемые микросхемы (микропроцессоры, FPGA), специализированные микросхемы (ASSP, ASIC), высокоскоростные приемопередатчики (трансиверы, SERDES), АЦП, ЦАП и другие.

Создание подсистемы электропитания для современных сложных микросхем — трудоемкая задача. Для одной микросхемы может потребоваться до пяти источников различных напряжений питания, с определенной последовательностью их подачи и снятия, а таких микросхем в одном устройстве может быть несколько, и требования к подаче питания у каждой из них различны. Подсистема питания должна также обеспечивать временную синхронизацию между сигналами сброса и включением напряжений питания, поддерживать возможность выбора источника питания, горячую замену и множество иных функций. Создание сложной подсистемы питания способно значительно увеличить количество и стоимость применяемых компонентов. А время, необходимое для разработки и отладки такой системы при использовании традиционных подходов, возрастает в несколько раз.

## Подсистемы управления электропитанием

Традиционные подходы к реализации схем управления электропитанием сложных электронных плат предполагают установку нескольких разнотипных ИС, например отдельные контроллеры горячей замены, генераторы сброса, контроллеры электропитания

и т. д. При проектировании систем много усилий приходится тратить на координацию работы этих ИС. К тому же для каждой из них понадобятся дополнительные внешние компоненты — конденсаторы, резисторы и прочее.

Увеличение количества компонентов и, как следствие, стоимости всей платы не единственный недостаток такого подхода. Разработчику необходимо оптимальным образом подобрать ИС для каждой из функций управления, что приводит к увеличению времени разработки. Снятие с производства какой-либо из выбранных микросхем может привести к тому, что подсистему питания (и, соответственно, печатную плату всего устройства) придется разрабатывать заново.

Еще одним недостатком использования традиционного подхода является отсутствие гибкости. Микросхемы, реализующие какую-либо конкретную функцию, обычно не конфигурируются. При необходимости внести изменения придется подбирать другую ИС и, возможно, заново разводить печатную плату.

Эти проблемы обуславливают потребность в поиске нового подхода к организации управления электропитанием платы, и компания Lattice Semiconductor предлагает такой подход.

Суть его заключается в интеграции всех функций управления питанием в одной ИС, с возможностью конфигурирования под конкретные задачи. Разработчикам больше

не нужно каждый раз проектировать подсистему управления питанием — достаточно будет только сконфигурировать одну и ту же ИС для удовлетворения потребностей каждой отдельной печатной платы.

Lattice Semiconductor предлагает несколько семейств конфигурируемых микросхем с интегрированными аналоговыми блоками для реализации различных функций управления электропитанием.

### Семейство Power Manager II

Микросхемы семейства Power Manager II предназначены для управления питанием любой системы, где предусмотрено несколько источников питания. Они могут заменить такие элементы, как контроллер горячей замены, контроллер последовательности подачи/снятия питания, генератор сигналов сброса, сторожевой таймер и другие. Семейство Power Manager II содержит пять микросхем. Расшифровка наименований микросхем представлена на рис. 1.

Микросхемы этого семейства способны отслеживать одновременно до 12 напряжений с помощью быстродействующих компараторов и программируемых источников опорного напряжения, выдавать управляющие логические сигналы, измерять значения напряжений на шинах питания с помощью АЦП и осуществлять управление DC/DC-конвертерами. Также эти микросхемы предоставляют возможность считывать измеренные действующие значения напряжения через

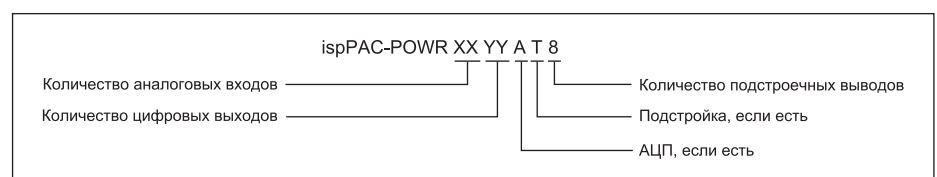


Рис. 1. Расшифровка наименований микросхем семейства Power Manager II

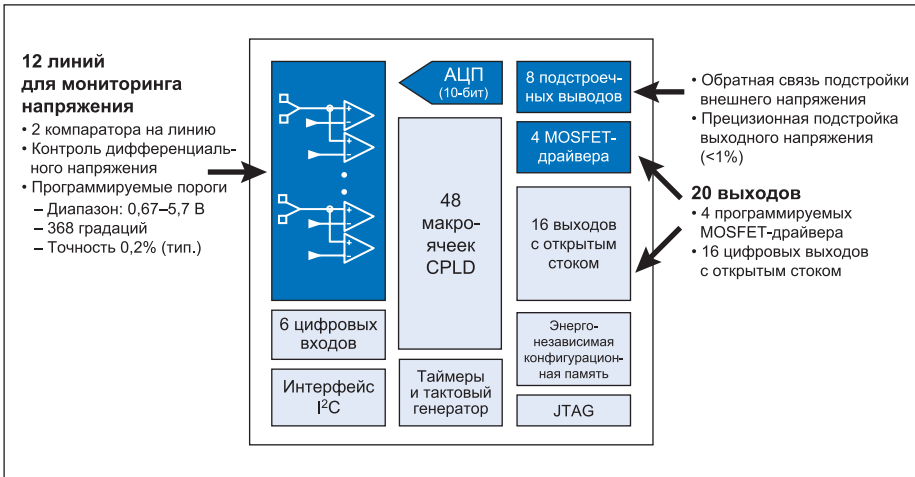


Рис. 2. Блок-схема микросхемы ispPAC-POWR1220AT8

интерфейс I<sup>2</sup>C. Микросхемы программируются внутрисхемно, что позволяет быстро перенастраивать систему на этапе разработки и отладки. Функционирование подсистемы полностью определяется логикой работы проекта, загружаемого во встроенную CPLD, и ограничивается только функциональными возможностями микросхемы. На рис. 2 показана архитектура самой старшей микросхемы этого семейства — ispPAC-POWR1220AT8.

Применение микросхем Power Manager II позволяет создать гибкую подсистему электропитания и сократить время на ее настройку и отладку. Так, если при традиционном подходе для настройки источников питания сложных систем требуется применение под-

строечных элементов, то для системы питания, созданной на основе Power Manager II, понадобится лишь внутрисхемное перепрограммирование микросхемы. Таким образом удастся создать универсальную подсистему электропитания с возможностью индивидуальной настройки для применения в различных устройствах. Краткие характеристики микросхем семейства Power Manager II приведены в таблице 1.

**Семейство Platform Manager II**

Микросхемы семейства Platform Manager II могут использоваться в широком спектре приложений, где большое внимание должно быть уделено схеме управления питанием

платы. Семейство Platform Manager II включает три микросхемы: L-ASC10, LPTM21, LPTM21L. Сравнительные характеристики микросхем семейства Platform Manager II приведены в таблице 2.

Микросхема L-ASC10 содержит только аналоговые блоки. Она позволяет контролировать 10 линий напряжения, две линии тока и два температурных канала. В состав L-ASC10 входят 20 высокоточных программируемых компараторов, которые фиксируют превышение или падение напряжения на каждой линии. Встроенный детектор ошибок фиксирует возникновение нештатной ситуации на шине питания за время не больше 1 мкс. Встроенный ЦАП позволяет осуществлять коррекцию выходного напряжения внешних DC/DC-конвертеров, а наличие четырех высоковольтных выходов дает возможность управлять транзисторными ключами.

Функции управления питанием платы могут быть осуществлены при помощи микросхемы L-ASC10 в связке с ПЛИС семейств MachXO2/MachXO3 компании Lattice Semiconductor. Алгоритм, реализованный на ПЛИС MachXO2/MachXO3, контролирует состояние шин питания, управляет внешними DC/DC-конвертерами, транзисторными ключами и вентилятором, а также регистрирует ошибки. Данное решение представляется достаточно гибким, и его легко использовать для управления большим количеством источников питания за счет дополнительных микросхем L-ASC10. Система с одной ПЛИС MachXO2/MachXO3 может быть расширена для управления до 80 линий напряжений пи-

Таблица 1. Краткие характеристики микросхем семейства Power Manager II

	ProcessorPM	POWR607	POWR1014	POWR1014A	POWR1220AT8
Программируемые аналоговые входы	6	6	10	10	12
Компараторы	12	12	20	20	24
Минимальное напряжение на аналоговом входе, В	0,7	0,7	0,7	0,7	0,7
Уровень обнаружения нуля, мВ	75	75	75	75	75
Макроячейки CPLD	16	16	24	24	48
Цифровые выходы	5	7	14	14	20
Драйверы FET	0	2	2	2	4
Напряжение питания, В	2,64–3,96	2,64–3,96	2,9–3,96	2,9–3,96	2,8–3,96
Корпус	QFN-24	QFN-32	TQFP-48	TQFP-48	TQFP-100

Таблица 2. Краткие характеристики микросхем семейства Platform Manager II

	Аналоговые входы для мониторинга напряжения	Аналоговые входы для мониторинга тока	Входы для мониторинга температуры	Каналы подстройки	Драйверы MOSFET	Выходы с открытым стоком	Логическая емкость FPGA, LUT	Цифровые выходы	Пользовательская память, кбит	Рабочее напряжение, В
L-ASC10	10	2	2	4	4	9	—	—	—	3,3
LPTM21	10	2	2	4	4	10	1280	98	64	2,8–12
LPTM21L	10	2	2	4	4	10	1280	33	64	3,3

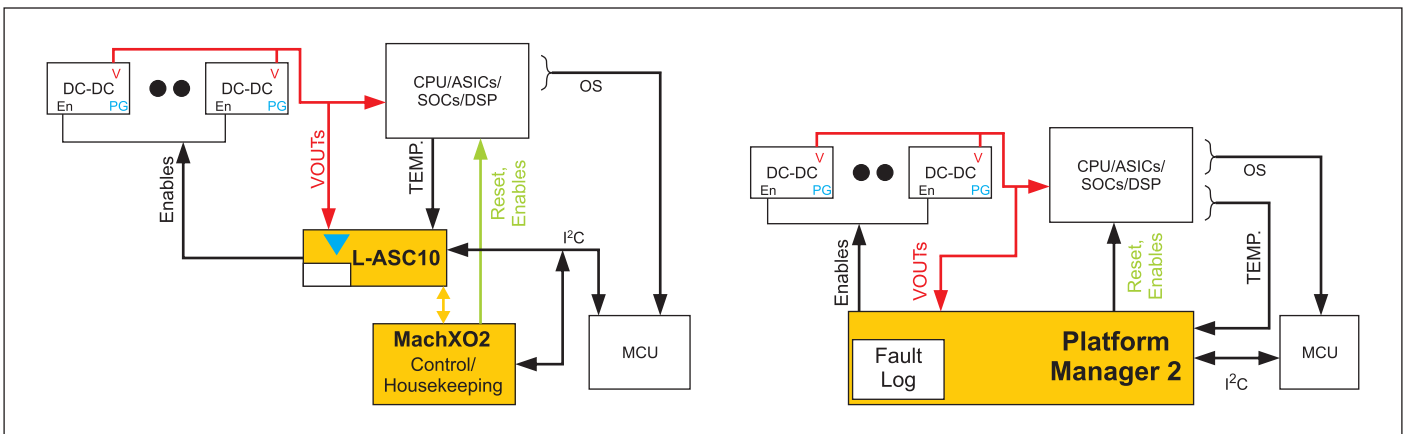


Рис. 3. Варианты архитектуры подсистемы управления питанием с использованием микросхем Platform Manager II

тания, с использованием восьми микросхем L-ASC10. Требования к логике работы и количеству вводов/выводов определяют выбор микросхемы MachXO2.

Микросхемы LPTM21 и LPTM21L содержат такие же аналоговые блоки, как и L-ASC10, но, кроме аналоговой части, имеют интегрированный массив программируемой логики (FPGA), который используется для реализации алгоритма управления питанием или других вспомогательных функций. Встроенная энергонезависимая память данных позволяет регистрировать нештатные ситуации, возникающие на шинах питания. Эти однокристалльные решения на основе Platform Manager II применяются, когда для реализации логики работы подсистемы управления питанием требуется не более 1200 эквивалентных логических элементов и не более 100 пользовательских линий ввода/вывода. Количество контролируемых линий питания также может быть увеличено до 40 добавлением трех дополнительных микросхем L-ASC10.

На рис. 3 показаны варианты построения систем управления питанием с использованием Platform Manager II.

### Средства поддержки разработки

Для того чтобы облегчить разработчику задачу проектирования подсистемы управления электропитанием, а конструктору — задачу проектирования соответствующей печатной платы, компания Lattice Semiconductor предлагает:

- подробную техническую документацию на микросхемы;
- примеры проектирования для различных приложений;
- IP-ядра, которые реализуют наиболее распространенные функции, такие как регистрация ошибок в энергонезависимой памяти, реализация интерфейсов I<sup>2</sup>C или SPI;
- среду разработки PAC-Designer.

Все вышеперечисленные средства бесплатные и доступны на официальном сайте Lattice Semiconductor. Кроме того, Lattice Semiconductor предлагает различные отладочные наборы с применением микросхем Power Manager II и Platform Manager II. Используя демонстрационные проекты и примеры проектирования, поставляемые с отладочными наборами для разработки, можно протестировать различные функции управления питанием.

### Среда разработки PAC-DESIGNER

Для облегчения процесса проектирования систем управления питанием компания Lattice предлагает САПР PAC-Designer. Это полноценное средство проектирования для ИС Power Manager II. Процесс проектирования несложен, и результаты получаются достаточно быстро. PAC-Designer обеспечивает:

- редактирование схемы в графическом виде: создание внутренних связей и установку величин программируемых параметров;

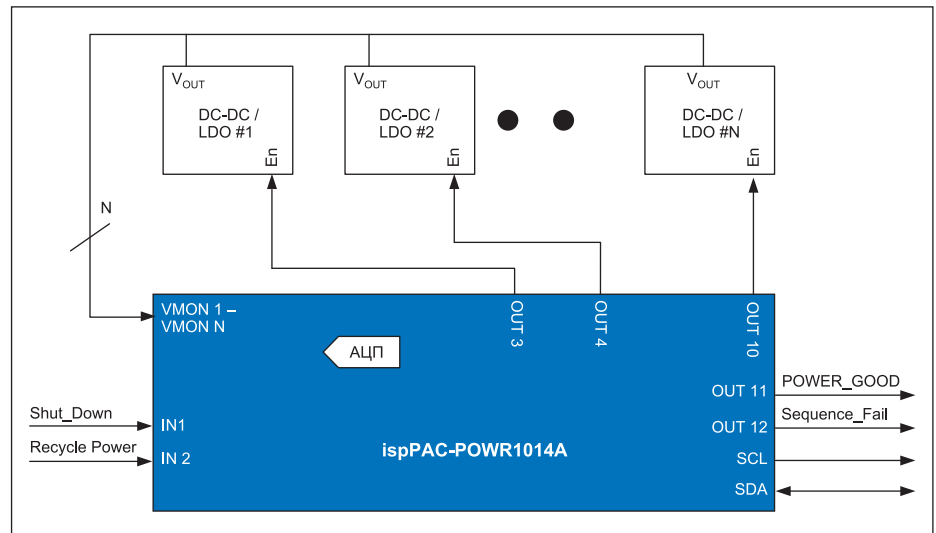


Рис. 4. Использование ispPAC-POWR1014A для последовательной подачи питания

- моделирование схемы;
- создание конфигурационного файла и программирование устройства.

Разводку и установку значений параметров выполняют вручную. Но в среде разработки имеется и библиотека некоторых готовых решений, в том числе и для построения активных фильтров. Процесс проектирования в PAC-Designer включает следующие этапы:

1. Создание проекта.
2. Конфигурирование аналоговых входных блоков.
3. Конфигурирование цифровых блоков.
4. Имплементация алгоритма работы.
5. Моделирование и отладка проекта.
6. Программирование устройства.

### Типовые примеры подсистем управления питанием

#### Организация последовательности подачи/снятия питания

Архитектура Power Manager II оптимальна для организации необходимой последовательности включения и выключения напряжений питания. На рис. 4 показана типовая схема организации последовательной подачи питания с применением ispPAC-POWR1014A. Напряжения питания с DC/DC-преобразователей поступают на пороговые компараторы, которые формируют сигналы для встроенной CPLD. Алгоритм, реализованный во встроенной CPLD, формирует сигналы разрешения для DC/DC-преобразователей.

#### Контроллеры горячей замены

Контроллеры горячей замены (hot swap controllers) ограничивают пусковой ток при подключении или замене модуля в комплексном устройстве. Кроме того, они обеспечивают номинальный режим по току и напряжению в цепи. На рис. 5 показано использование ispPAC-POWR1014A для реализации функций горячей замены. После подклю-

чения платы микросхема ispPAC-POWR1014A ждет, когда стабилизируется входное напряжение 5 В, затем формирует на выходе HVOUТ1 напряжение для включения MOSFET-транзистора. На выходе HVOUТ1 установлено ограничение по току (12,5 мкА). Такой ток медленно заряжает емкость затвора MOSFET-транзистора, в результате сопротивление канала транзистора также медленно опускается до своего значения RDS (десятки мОм). Столь плавное снижение сопротивления при включении MOSFET-транзистора уменьшает значение пускового тока. Применение такой схемы возможно только в маломощных системах.

#### Резервирование источников электропитания

Один из способов повышения надежности электронных систем — использование нескольких источников для каждой шины питания. На рис. 6 показана реализация такой схемы с применением ИС ispPAC-POWR1014A. Здесь нагрузка получает ток от обоих MOSFET-транзисторов. Токи, протекающие через каждый из транзисторов, измеряются соответствующими токовыми компараторами ispPAC-POWR1014A. Микросхема ispPAC-POWR1014A удерживает MOSFET-транзистор во включенном состоянии только в том случае, если ток через него выше определенного порогового значения. Если токи в обоих плечах выше заданных пороговых значений, то оба MOSFET-транзистора включены. Микросхема ispPAC-POWR1014A отслеживает текущее значение тока в обоих плечах, и если ток через один из транзисторов падает ниже порога (например, из-за внезапного падения напряжения на соответствующей шине питания), этот транзистор мгновенно выключается. При выключении транзистора обратный ток через него блокируется паразитным диодом, и нагрузка питается только через один транзистор.

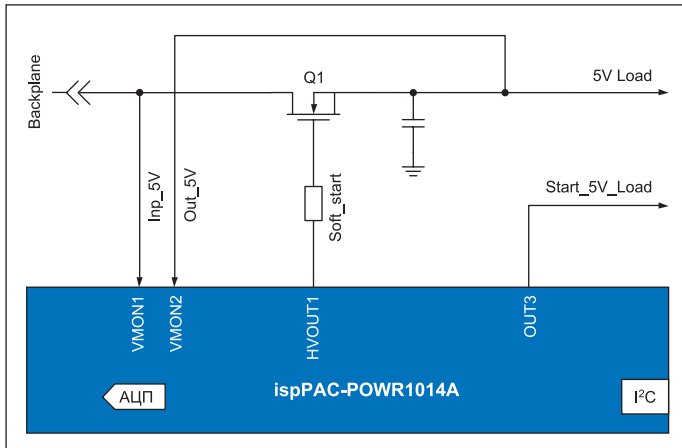


Рис. 5. Использование ispPAC-POWR1014A для горячей замены

### Заключение

Традиционные методы проектирования подсистем управления электропитанием с использованием набора нескольких однофункциональных ИС имеют ряд существенных недостатков. Используя традиционный подход, разработчики вынуждены искать баланс между стоимостью и функциональностью, что может поставить под угрозу надежность всей системы. Решения Lattice Semiconductor с применением микросхем семейств Power Manager II и Platform Manager II в подсистемах управления питанием обладают рядом преимуществ по сравнению с традиционной методологией проектирования:

- Уменьшение количества компонентов: рассматриваемые в статье решения компании Lattice Semiconductor объединяют в одной ИС различные функции. Это позволяет как уменьшить количество используемых компонентов, так и перенастраивать одни и те же подсистемы для эксплуатации в различных устройствах.
- Повышение надежности: использование микросхем Platform Manager II обеспечивает своевременное обнаружение неисправностей и быструю реакцию (не более 100 мкс) на их появление, поддерживая тем самым высокую надежность системы. Поскольку все функции интегрированы в одной ИС, увеличение количества источников питания и других контролируемых параметров не влияет на надежность всей системы. Возможность регистрации неисправностей позволяет анализировать и устранять причины их возникновения.

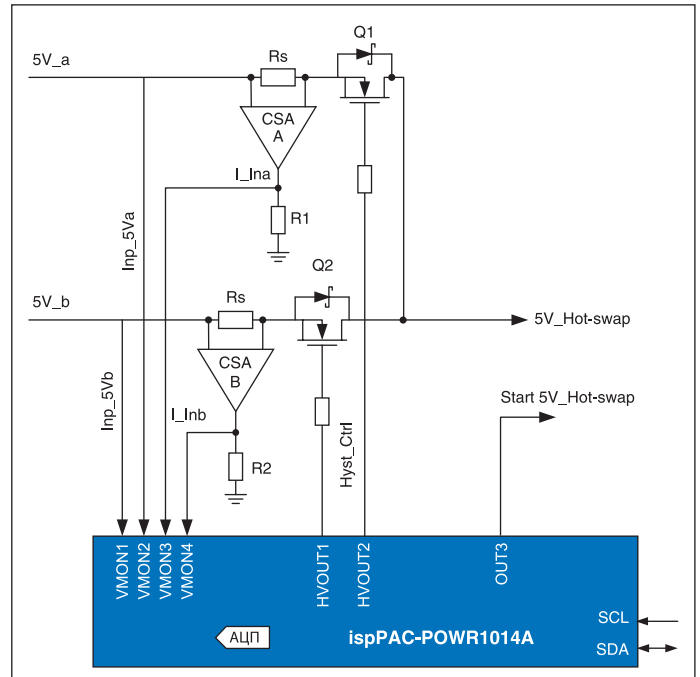


Рис. 6. Реализация функции резервирования источника питания с применением ispPAC-POWR1014A

- Сокращение времени проектирования: удобные и простые в использовании средства разработки и моделирования компании Lattice Semiconductor позволяют быстро настроить и запрограммировать микросхему. Возможность внутрисхемного программирования и виртуального моделирования уменьшает риски возникновения ошибок проектирования, а предоставляемые примеры проектирования, документация и отладочные наборы существенно сокращают время разработки.

### Литература

1. A Lattice Semiconductor White Paper. Revolutionary Hardware Management Solutions — WP003. [www.latticesemi.com](http://www.latticesemi.com)
2. Chandra S. Power2You. Lattice Semiconductor Corporation, 2010.
3. Platform Manager 2. Data Sheet — FPGA-DS-02036. [www.latticesemi.com/en/Products/PowerAndClockDevices/PlatformManager2](http://www.latticesemi.com/en/Products/PowerAndClockDevices/PlatformManager2)
4. [www.latticesemi.com/Products/PowerAndClockDevices/PowerManager](http://www.latticesemi.com/Products/PowerAndClockDevices/PowerManager)